

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-091518
(43)Date of publication of application : 26.05.1984

(51)Int.Cl.

G05F 1/56

(21)Application number : 57-202526
(22)Date of filing : 16.11.1982

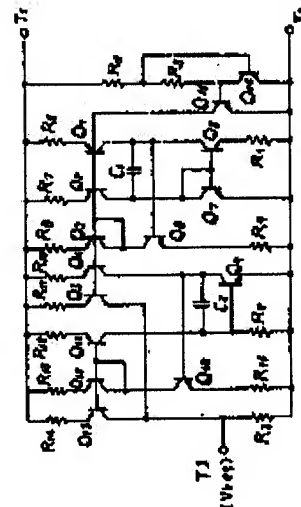
(71)Applicant : MITSUBISHI ELECTRIC CORP
(72)Inventor : SHINOMIYA KOJI

(54) GENERATING CIRCUIT OF REFERENCE VOLTAGE

(57)Abstract:

PURPOSE: To obtain a stable reference voltage generating circuit even when power supply voltage is lower than the externally applied voltage of a energy band gap.

CONSTITUTION: Resistors R6WR14 have functions operating a current mirror stably. A starting circuit consisting of resistors R4, R5 and TRs Q14, Q15 starts to operate "a circuit creating current proportional to absolute temp." and current proportional to the absolute temp. flows out from respective collectors of the TRs Q4, Q5. The collector current of the TR Q4 causes the current with negative temp. factor due to the base and emitter of a TR Q13 to flow out from the collector of the TR Q13. Consequently, the added current of said two kinds of current flows into a resistor R3, and even when the power supply voltage is less than the voltage (1.205V) of the energy band gap of a semiconductor, stable reference voltage is obtained from a terminal T3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—91518

⑬ Int. Cl.³
G 05 F 1/56

識別記号

庁内整理番号
8023—5H

⑭ 公開 昭和59年(1984)5月26日

発明の数 1
審査請求 未請求

(全 7 頁)

⑮ 基準電圧発生回路

機株式会社北伊丹製作所内

⑯ 特 願 昭57—202526

⑰ 出 願 人 三菱電機株式会社

⑱ 出 願 昭57(1982)11月16日

東京都千代田区丸の内2丁目2
番3号

⑲ 発 明 者 篠宮巧治

⑳ 代 理 人 弁理士 大岩増雄

伊丹市瑞原4丁目1番地三菱電

明 細 書

1. 発明の名称

基準電圧発生回路

2. 特許請求の範囲

(1) 第1ないし第5のトランジスタにより、ダイオード機能を持つ第3のトランジスタを基準とするカレントミラーが構成され、上記5つのトランジスタの各エミッタは互いに接続して第1の端子に接続され、各ベースは互いに接続して成り、第3のトランジスタはダイオード機能を持たせるためベースとコレクタを接続して成り、第1の端子は電源に接続されており、第11ないし第13のトランジスタにより、ダイオード機能を持つ第12のトランジスタを基準とするカレントミラーが構成され、該3つのトランジスタの各エミッタは互いに接続して第1の端子に接続され、各ベースは互いに接続して成り、第12のトランジスタはダイオード機能を持たせるためベースとコレクタを接続して成り、第6および第7のトランジスタは互いにベースが接続され、第7のトランジスタは

ダイオード機能を持たせるためベースとコレクタを接続して成り、該第7のトランジスタのコレクタは上記第2のトランジスタのコレクタに接続して成り、第6のトランジスタのコレクタは上記第1のトランジスタのコレクタに接続して成り、第6のトランジスタのエミッタは第1の抵抗を介して第7のトランジスタのエミッタに接続して成り、第7のトランジスタと第1の抵抗との接続点は第2の端子に接続して成り、該第2の端子は上記電源の他端である接地端子となっており、第8のトランジスタはそのベースを上記第6のトランジスタのコレクタと上記第1のトランジスタのコレクタとの接続点に接続して成り、第8のトランジスタのコレクタは上記第3のトランジスタのコレクタに接続して成り、上記第8のトランジスタのエミッタは上記第2の端子に接続して成り、第9のトランジスタはそのベースを上記第11のトランジスタのコレクタに接続し、さらに第2の抵抗に接続して成り、第9のトランジスタのコレクタは上記第4のトランジスタのコレクタに接続し、さらに第10

のトランジスタのベースに接続して成り、第9のトランジスタのエミッタは第2の端子に接続して成り、またこのエミッタは上記第2の抵抗の他端に接続して成り、第10のトランジスタはそのベースを上記第9のトランジスタのコレクタと上記第4のトランジスタのコレクタとの接続点に接続して成り、第10のトランジスタのコレクタは上記第12のトランジスタのコレクタに接続して成り、第10のトランジスタのエミッタは第2の端子に接続して成り、第3の抵抗は一端を第2の端子に接続して成り、他端は第3の端子に接続して成り、さらにこの他端は上記第13のトランジスタのコレクタに接続して成り、さらにこの他端は上記第5のトランジスタのコレクタに接続して成り、上記第3の端子は上記第2の端子との間の電圧が一定になるような本回路の出力端子となつてゐることを特徴とする基準電圧発生回路。

(2) 半導体集積回路で製造され、上記第13のトランジスタのコレクタ電流と上記第5のトランジスタのコレクタ電流との比を上記第9のトラン

ジスタのベース・エミッタ間の電圧 $V_{BE(9)}$ と該集積回路の素材となる半導体のエネルギー・バンド・ギャップの外挿電圧 V_{GO} から該電圧 $V_{BE(9)}$ を引き算した値 $V_T = V_{GO} - V_{BE(9)}$ との比としたことを特徴とする特許請求の範囲第1項記載の基準電圧発生回路。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は回路の電源電圧変動、周囲温度の変化に対して無関係な一定の電圧を作り出すための基準電圧発生回路に関するものである。

〔従来技術〕

第1図に従来の基準電圧発生回路を示し、第2図にその基本回路を示す。第1図は半導体集積回路で製造された基準電圧発生回路で、端子 T_1 は抵抗等の負荷回路を介してこの回路を動作させる電源に接続され、端子 T_2 は電源の一端である接地端子として接続される。なお、第1図での出力端子すなわち基準電圧が出力される端子は端子 T_1 であり、この回路を動作させる電源供給端子とし

ての機能が兼ねられた端子となつてゐる。

第2図は前記第1図の回路における基本的な動作をさせる素子について抜き出したもので、従来の基準電圧発生回路の基本回路である。ここでは、本発明の基礎となつた動作原理を説明するため、第2図の回路によつて説明する。第2図においてトランジスタ Q_1 は相対的に大きい電流密度で動作させる。これに対しトランジスタ Q_2 の電流密度は $1/10$ の電流で動作させ、この二つのトランジスタ Q_1 と Q_2 のベース・エミッタ間の電位差 ΔV_{BE} が抵抗 R_3 (その抵抗値は抵抗 R_1 と同じく 600Ω である) に印加される。

ここで、トランジスタ Q_2 の電流増幅率が十分高いものと仮定すると、 ΔV_{BE} によつて抵抗 R_3 で決定された電流はトランジスタ Q_2 のコレクタ電流として抵抗 R_2 (抵抗値 $6K\Omega$) に供給され、電圧 $\frac{R_2}{R_3} \cdot \Delta V_{BE}$ を発生する。また次段に接続されたトランジスタ Q_3 は増幅段を構成し、該トランジスタ Q_3 のベース・エミッタ間電圧 $V_{BE(Q3)}$ と前記

$\frac{R_2}{R_3} \cdot \Delta V_{BE}$ とを加算した電圧が端子 T_2 に出て来る。

ただし、トランジスタ Q_3 の電流増幅率は十分高いものと仮定している。ここで、端子 T_2 の電位を V_{ref} とすると、次式が成立する。

$$V_{BE(Q3)} + \frac{R_2}{R_3} \cdot \Delta V_{BE} = V_{ref} \quad \dots (1)$$

なお、トランジスタ Q_3 のエミッタ・ベース間電圧は負の温度係数を持つており、これに対し、 ΔV_{BE} による抵抗 R_2 での電圧降下分の電圧は、正の温度係数を持つてゐる。さらに、この二つの電圧の合計を半導体のエネルギー・バンド・ギャップの電圧にすることにより、 V_{ref} は温度補償された電圧として得ることができる。その理由はトランジスタのベース・エミッタ電圧が次式によつて表現できるところに端を発している。

$$V_{BE} = V_{GO} \left(1 - \frac{T}{T_0}\right) + V_{BDO} \left(\frac{T}{T_0}\right) + \frac{nKT}{q} \ln \frac{T_0}{T} + \frac{kT}{q} \ln \frac{I_0}{I_{C0}} \quad \dots (2)$$

ここで、 V_{GO} は絶対温度 $T = 0^\circ K$ における半導体材料によつて決まるエネルギー・バンド・ギャップの外挿電圧を表わし、 q は電子の電荷を、 n は定数で、トランジスタの製造条件による値を表わ

し、 k はボルツマン定数を、 T は絶対温度を、 I_0 はコレクタ電流を、 V_{BE0} は T_0 と I_{00} 時のベース・エミッタ間電圧を、それぞれ表わしている。また、二つのトランジスタを動作させた時のベース・エミッタ間電圧の差を表現するのに、それぞれのトランジスタの電流密度を J_1 と J_2 で表わせば次式で表わすことができる。

$$\Delta V_{BE} = \frac{kT}{q} \ln \frac{J_1}{J_2} \quad \dots (3)$$

ここで、(2)式の最後二つの項は、絶対温度におけるコレクタ電流 I_0 の変化に対して十分小さな値となつているので無視することができる。よつて、(2)式は次のようになる。

$$V_{BE} = V_{G0} \left(1 - \frac{T}{T_0}\right) + V_{BE0} \left(\frac{T}{T_0}\right) \quad \dots (4)$$

次に、 ΔV_{BE} によつて作られる電圧と V_{BE} とを加算して作り出すことを参照して、出力電圧は(3)式と(4)式を加算した形で得られる。

$$V_{ref} = V_{G0} \left(1 - \frac{T}{T_0}\right) + V_{BE0} \left(\frac{T}{T_0}\right) + \frac{kT}{q} \ln \frac{J_1}{J_2} \quad \dots (5)$$

そこで、(5)式の温度係数を求めるため(5)式を絶対温度 T で微分すると、

$$\frac{\partial V_{ref}}{\partial T} = -\frac{V_{G0}}{T_0} + \frac{V_{BE0}}{T_0} + \frac{k}{q} \ln \frac{J_1}{J_2} \quad \dots (6)$$

これは、温度による変動が零であるようにするため右辺 = 0 とすると、次式の条件を満たしてやれば良いことを意味している。

$$V_{G0} = V_{BE0} + \frac{kT_0}{q} \ln \frac{J_1}{J_2} \quad \dots (7)$$

この条件式の右辺の第1項はベース・エミッタ間電圧を表わし、第2項は ΔV_{BE} による電圧を表わしている。つまり、このような条件式(7)を満たすように(1)式が成り立つており、 $V_{ref} = V_{G0}$ に設定してやれば温度変化に対して基準電圧を一定にできるわけである。

しかるに、以上の原理に基づいて回路を構成した場合、第1図、第2図に示した従来例の出力としての基準電圧は、エネルギー・バンド・ギャップ電圧としてしか基準電圧を得ることができない。例えば、従来の方法をとる限り、半導体材料に Si (シリコン)を用いて半導体集積回路を構成すると、基準電圧の値は約 1.205 [V] にしか成り得ないという必要条件が付き、回路設計において必要

とされる基準電圧を得るためには後述にレベルシフト回路を設けなければならなかつた。さらに、電源電圧が 1.205 [V] より低い場合には、この方法と回路では実現できないという大きな問題があつた。なお、 Si のエネルギー・バンド・ギャップの外挿電圧 V_{G0} は、1.205 [V] となつている。

〔発明の概要〕

本発明は上記のような従来回路の二つの欠点を取り除くことを目的として考案されたもので、基本的原理は従来例と同一の考え方を用いている。つまり、回路設計において必要とされる基準電圧を直接的にしかも自由な希望する基準電圧として得られるよう回路を構成し、さらに電源電圧が半導体のエネルギー・バンド・ギャップの外挿電圧よりも低い場合でも十分発生できる基準電圧を提供することを目的としている。

〔発明の実施例〕

第3図に本発明の基本回路を示す。第3図の基本回路について、各素子の相互関係を以下記述する。トランジスタ Q_1, Q_2, Q_3, Q_4, Q_5 は第1ないし

第5のPNPトランジスタで、カレントミラーを構成している。ここで、トランジスタ Q_3 はコレクタとベースを接続することによりダイオード機能を持たせ、トランジスタ Q_1, Q_2, Q_4, Q_5 のコレクタ電流はトランジスタ Q_3 のコレクタ電流に依存した値として流れる。また、第11ないし第13のトランジスタ Q_{11}, Q_{12}, Q_{13} はPNPトランジスタでカレントミラーを構成している。ここで、トランジスタ Q_{12} はコレクタとベースを接続することによりダイオード機能を持たせ、トランジスタ Q_{11}, Q_{13} のコレクタ電流は、トランジスタ Q_{12} のコレクタ電流に依存した値として流れる。トランジスタ Q_6 と Q_7 は、ベースを互いに接続し、トランジスタ Q_7 はダイオード機能を持たせている。ここで、トランジスタ Q_6 のエミッタには抵抗 R_1 の一端が接続され、他端はトランジスタ Q_7 のエミッタに接続されるとともに、端子 T_0 に接続されている。トランジスタ Q_7 は相対的に大きい電流密度で動作させる。これに対し、トランジスタ Q_6 の電流密度はトランジスタ Q_7 の電流密度の約 $1/$

10 程度の大きさとして動作させ、この二つのトランジスタ Q6 と Q7 のベース・エミッタ間の電位差 ΔV_{BE} が抵抗 R1 に印加される。ここで、トランジスタ Q6 のコレクタから電流増幅用トランジスタ Q8 のベースに電流が送り込まれ、トランジスタ Q8 のコレクタからカレントミラーのトランジスタ Q3 に増幅した電流を供給する。このようにしてトランジスタ Q8 とカレントミラーのトランジスタ Q3 によりカレントミラーの電流が制御され、トランジスタ Q2 と Q1 を介してトランジスタ Q7 と Q8 の各コレクタに電流が供給される。

ここで前記したように、トランジスタ Q6 のエミッタには抵抗 R1 が接続されているから、このループ回路に負帰還がかかり、トランジスタ Q6 と Q7 のベース・エミッタ間の電位差 ΔV_{BE} と抵抗 R1 によつてカレントミラーの各部の電流が決定される。この電流を I_T とし、トランジスタ Q7 に流れるエミッタ電流密度を J_1 とし、トランジスタ Q6 に流れるエミッタ電流密度を J_2 とすると、 I_T は次式で表わせる。

$$I_T = \frac{\Delta V_{BE}}{R_1} = \frac{kT}{q} \ln \frac{J_1}{J_2} \quad \dots (8)$$

なお、ここで電流密度を J_1 , J_2 に設定する方法はトランジスタ Q1, Q2 のベース・エミッタ接合面積の比をとることにより設定したり、トランジスタ Q6, Q7 のベース・エミッタ接合面積の比をとることにより設定することができる。ただし電流密度 J_1 と J_2 の比を 10 倍位に取ると設計しやすいが、 $J_1 > J_2$ であれば一応の前記回路動作をさせることができる。

次に、カレントミラーのトランジスタ Q4 のコレクタ電流としてトランジスタ Q9, Q10 に $m \cdot I_T$ の電流が供給される。ここで、 m は定数で、カレントミラーを構成するトランジスタ Q4 のベース・エミッタ接合面積と、トランジスタ Q3 のベース・エミッタ間接合面積の比によつて適当に設定する値である。

トランジスタ Q9 はベース・エミッタ間に抵抗 R2 が接続されており、抵抗 R2 とトランジスタ Q9 のベースとの接続点は、カレントミラーを構

成するトランジスタ Q11 のコレクタに接続されている。また、トランジスタ Q10 のベースはトランジスタ Q9 のコレクタに接続されており、トランジスタ Q10 は電流増幅用トランジスタとして動作させ、そのコレクタはカレントミラーのトランジスタ Q12 に接続される。このカレントミラーはトランジスタ Q11, Q12, Q13 により構成されており、トランジスタ Q11 のコレクタから抵抗 R2 とトランジスタ Q9 のベースとの接続点に接続する。

このような構成により抵抗 R2 での電圧降下をトランジスタ Q9 が検出し、トランジスタ Q9 のコレクタを通してトランジスタ Q10 のベースに前記検出電流を送り込む。トランジスタ Q10 はこのベース電流を電流増幅し、コレクタに増幅電流を流し、カレントミラーを構成するトランジスタ Q12 に電流を送り込む。カレントミラーを構成するトランジスタ Q11 のコレクタより再び抵抗 R2 およびトランジスタ Q9 のベースに増幅された電流が送り込まれる。このようにして、負帰還回路が構成されている。そこで、トランジスタ Q10 の電流

増幅率が十分大きいものと仮定すると、トランジスタ Q9 のコレクタには前記した $m \cdot I_T$ の電流が流れるため、トランジスタ Q9 のベース・エミッタ電圧 $V_{BE(9)}$ は設定され、この $V_{BE(9)}$ と抵抗 R2 によつてカレントミラーを構成するトランジスタ Q12 のコレクタ電流が決定される。ここで、抵抗 R2 に流れる電流を I_β とすると次式が成り立つ。

$$I_\beta = \frac{V_{BE(9)}}{R_2} \quad \dots (9)$$

次にカレントミラーのトランジスタ Q5 のコレクタ電流とカレントミラーのトランジスタ Q13 のコレクタ電流を加算するため、これらコレクタを互いに接続する構成をとる。なお、トランジスタ Q5 と Q3 のベース・エミッタ接合面積の比により適当な電流値を得ること、そしてトランジスタ Q13 と Q12 のベース・エミッタ接合面積の比により適当な電流値を得ること、これらはもちろん可能であるが、説明の都合上トランジスタ Q5 と Q3 およびトランジスタ Q13 と Q12 のそれぞれのベース・エミッタ接合面積比は、1 対 1 として説明す

そこで、トランジスタ Q5 のコレクタ電流とトランジスタ Q13 のコレクタ電流を加算した電流を抵抗 R3 に流し込むと、出力電圧である基準電圧 V_{ref} は (8), (9) 式を用いて次式で表わすことができる。

$$V_{ref} = R3(I\beta + I_T) \quad \dots (10)$$

$$V_{ref} = R3 \left(\frac{V_{BE(9)}}{R2} + \frac{\Delta V_{BE}}{R1} \right)$$

$$V_{ref} = \frac{R3}{R2} \cdot V_{BE(9)} + \frac{R3}{R1} \cdot \Delta V_{BE} \quad \dots (11)$$

ここで、(3) 式および (4) 式を参照して

$$V_{ref} = \frac{R3}{R2} \left\{ V_{G0} \left(1 - \frac{T}{T_0} \right) + V_{BE0} \left(\frac{T}{T_0} \right) \right. \\ \left. + \frac{R3}{R1} \cdot \frac{kT}{q} \ln \frac{J1}{J2} \right\} \quad \dots (12)$$

そこで (12) 式の温度係数を求めるため (12) 式を絶対温度 T で微分すると、

$$\frac{\partial V_{ref}}{\partial T} = \frac{R3}{R2} \left(-\frac{V_{G0}}{T_0} + \frac{V_{BE0}}{T_0} \right) + \frac{R3}{R1} \cdot \frac{k}{q} \ln \frac{J1}{J2} \quad \dots (13)$$

右辺 = 0 とすると、次の条件が導出できる。

$$V_{G0} = V_{BE0} + \frac{R2}{R1} \cdot \frac{kT_0}{q} \ln \frac{J1}{J2} \quad \dots (14)$$

(14) 式を変形して

きる回路に書き換えたものである。

第 4 図について以下説明する。

抵抗 R6, R7, R8, R10, R11, R12, R13, R14 は、カレントミラーを安定に動作させるためのバラスト抵抗である。抵抗 R4, R5, トランジスタ Q14, Q15 は "絶対温度に比例した電流を作り出す回路" のための "起動回路" である。抵抗 R9, コンデンサ C1 は "絶対温度に比例した電流を作り出す回路" のための位相補償回路である。抵抗 R15, コンデンサ C2 は、"ベース・エミッタによる負の温度係数を持つ電流を作り出す回路" のための位相補償回路である。

なお、ここで記述した "絶対温度に比例した電流を作り出す回路" とは、第 3 図、第 4 図とも共通の記号で示した素子で、トランジスタ Q1, Q2, Q3, Q6, Q7, Q8, 抵抗 R1 によつて構成される部分の回路を示しており、"ベース・エミッタによる負の温度係数を持つ電流を作り出す回路" とは第 3 図、第 4 図とも共通の記号で示した素子で、トランジスタ Q9, Q10, Q11, Q12, 抵抗 R2 によつ

$$\frac{V_{G0}}{R2} = \frac{V_{BE0}}{R2} + \frac{\frac{kT_0}{q} \ln \frac{J1}{J2}}{R1}$$

$$\frac{V_{G0}}{I\beta R2} = \frac{V_{BE0}}{I\beta R2} + \frac{1}{I\beta} \cdot \frac{\Delta V_{BE}}{R1}$$

$$\frac{V_{G0}}{V_{BE0}} = 1 + \frac{1}{I\beta} \cdot I_T$$

$$\frac{V_{G0} - V_{BE0}}{V_{BE0}} = \frac{I_T}{I\beta}$$

$$\therefore \frac{V_T}{V_{BE0}} = \frac{I_T}{I\beta} \quad \dots (15)$$

すなわち、(15) 式は、 $I\beta$ と I_T との電流比が $V_{BE(9)}$ と $V_T = V_{G0} - V_{BE0}$ の電圧比と同じ割合で合成された電流は温度補償されていることになる。

なお、前記電圧を電流変換する際、その変換は $I\beta$, I_T とともに抵抗 R1 または R2 によつて行なわれており、これら $I\beta$ と I_T を電流の形で加算し、抵抗 R3 に流して電圧を電圧変換して出力電圧を得ているので、各抵抗の温度係数が等しいと仮定すれば、各抵抗の温度係数は相殺されることになる。

本発明の実施例回路を第 4 図に表わす。第 4 図の回路は第 3 図の回路を基本回路として実使用で

て構成される部分の回路を示している。

以下、この回路の動作について簡単に記述すると次のようになる。

端子 T1 に電源が接続され、端子 T2 には電源の他端である接地が接続され、端子 T3 と端子 T2 の間に電源電圧が印加される。すると、先ず前記 "起動回路" により、トランジスタ Q15 のコレクタに微少な電流が流れる。すると、"絶対温度に比例した電流を作り出す回路" が動作を開始して、トランジスタ Q4 および Q5 の各コレクタから絶対温度に比例した電流が流れ出て来る。トランジスタ Q4 のコレクタからの電流は、"ベース・エミッタによる負の温度係数を持つ電流を作り出す回路" が動作を開始して、トランジスタ Q13 のコレクタからベース・エミッタによる負の温度係数を持つ電流が流れ出て来る。

以上のように回路が動作し、抵抗 R3 には前記二つの電流が加算された形で電流が供給されて電圧が発生し、この電圧を端子から取り出す形として温度補償された基準電圧が得られるのである。

〔発明の効果〕

本発明による基準電圧発生回路は、温度補償されていることはもちろん、電源電圧の変動に対しても非常に安定した電圧が得られる。また、"起動回路"の抵抗 R_4 に流れる電流以外はすべてカレントミラーを介して電流が流れるため、消費電流を少なくすることが可能である。特に重要な効果としては、半導体集積回路で本発明の基準電圧発生回路を製造すると、半導体材料として使用した半導体のエネルギー・バンド・ギャップの外挿電圧 V_{go} よりも低い電源電圧で動作できることである。一般に Si (シリコン) の場合、 $V_{go}=1.025$ [V] となっているが、本発明の回路では電源電圧を約 0.9 [V] まで低下させても、特性の悪化を見せずに動作できる。また、本発明によれば希望する基準電圧をほぼ電源電圧範囲内で自由に作れることも大きな特徴である。

4. 図面の簡単な説明

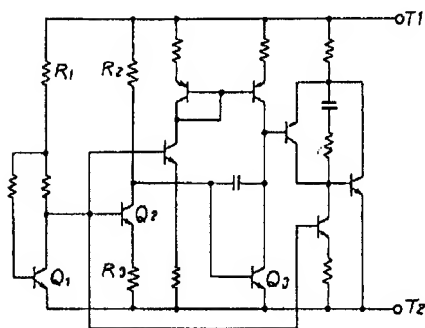
第1図は従来の基準電圧発生回路の回路図、第2図は従来の基準電圧発生回路の基本回路の回路図、

図、第3図は本発明の基本回路の回路図、第4図は本発明の実施例回路の回路図である。

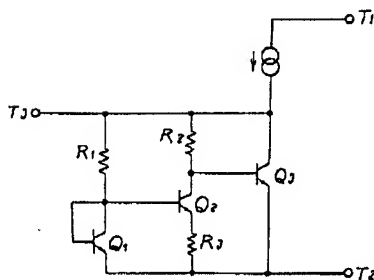
$Q_1 \sim Q_{13}$ … 第1ないし第13のトランジスタ、
 $R_1 \sim R_3$ … 第1ないし第3の抵抗、 $T_1 \sim T_3$ … 第1ないし第3の端子。

代理人 島 野 信 一

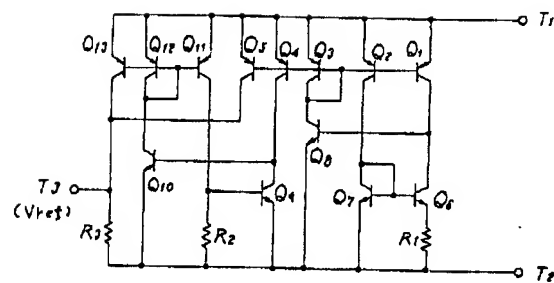
第1図



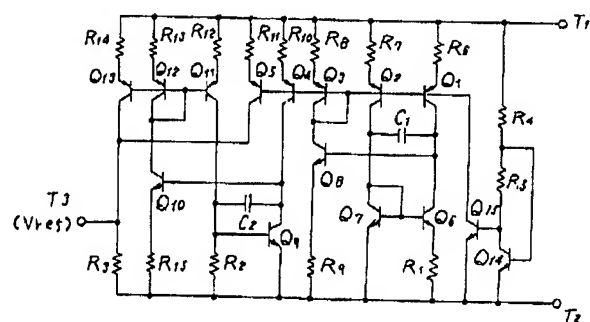
第2図



第3図



第4図



手続補正書(自発)

昭和58年4月19日

特許庁長官殿

1. 事件の表示 特開昭57-202526号

2. 発明の名称

基準電圧発生回路

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 片 山 仁 八 郎

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内

氏 名 (6699) ~~弁護士 佐 野 一 博~~

(7375) 弁護士 大岩 増 雄

(連絡先 03(213)3421特許部)



5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

明細書をつぎのとおり訂正する。

ページ	行	訂 正 前	訂 正 後
17	17	ベース・エミッタに	ベース・エミッタに
19	12	$V_{go} = 1.025$	$V_{go} = 1.205$
			以 上